

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Atsushi MIYAIRI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: INFORMATION PROCESSING APPARATUS AND METHOD, AS WELL AS PROGRAM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

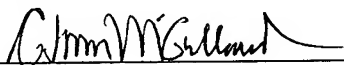
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-296967	October 10, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Bradley D. Lytle

Registration No. 40,073

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

8037190

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 9 6 9 6 7
Application Number:

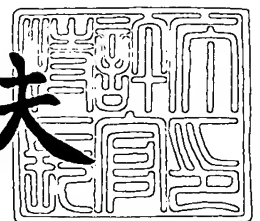
[ST. 10/C]: [J P 2 0 0 2 - 2 9 6 9 6 7]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 8 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 3 4 8

【書類名】 特許願

【整理番号】 0290404703

【提出日】 平成14年10月10日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/10

【発明者】

【住所又は居所】 東京都品川区東五反田 2 丁目 1 7 番 1 号 ソニーイーエムシーエス株式会社内

【氏名】 宮入 専

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 沼田 伸一

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 橋本 克博

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 佐藤 正治郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 森村 高明

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

【氏名】 鈴木 将貴

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 佐藤 壮一

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 児嶋 環

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 山地 秀典

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置および方法、並びにプログラム

【特許請求の範囲】

【請求項 1】 情報処理装置内の所定の電送路を流れる電流を検出する検出手段と、

前記検出手段により検出された前記電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第 1 の信号を出力する第 1 の出力手段と、

前記第 1 の出力手段より前記第 1 の信号が出力された場合、前記情報処理装置のクロックの周波数の低下を指令する第 2 の信号を出力する第 2 の出力手段と、

前記第 2 の出力手段より前記第 2 の信号が出力された場合、前記情報処理装置の前記クロックの周波数を低下させるように制御する周波数制御手段と

を備えることを特徴とする情報処理装置。

【請求項 2】 前記周波数制御手段は、前記第 2 の出力手段より前記第 2 の信号が出力されてから第 1 の時間経過後、前記情報処理装置のスロットリング機能を利用して、前記情報処理装置の前記クロックの周波数を低下させるように制御し、

前記周波数制御手段の制御が開始されてから、前記第 1 の時間に基づいて予め設定された第 2 の時間が経過した時点で、前記周波数制御手段の制御を解除する解除手段

をさらに備えることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 前記電送路は、所定の電源供給装置から前記情報処理装置に電力が供給される電力ラインであり、

前記第 2 の時間は、前記電源供給装置の仕様として規定されているピーク電力と Duty Rate の範囲内での前記情報処理装置が消費する平均電力が、前記制限レベルに対応する電力を超えないように、前記第 1 の時間に基づいて予め設定される

ことを特徴とする請求項 2 に記載の情報処理装置。

【請求項 4】 前記第 2 の出力手段は、マイクロコンピュータとして構成され、

前記第 1 の出力手段より出力された前記第 1 の信号を、前記マイクロコンピュータのポーリング周期以上の第 3 の時間だけ保持して、出力する保持手段をさらに備え、

前記第 2 の出力手段は、前記保持手段により出力が保持された前記第 1 の信号を検出した場合、前記第 2 の信号を出力する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 5】 前記電送路は、所定の電源供給装置から前記情報処理装置に電力が供給される電力ラインのうちの、前記情報処理装置が消費する全ての電流が流れる消費電流通過ラインであり、

前記消費電流通過ラインを流れる電流の制限値が、前記電源供給装置の容量に基づいて予め設定されており、

前記検出手段は、前記消費電流通過ラインを流れる、前記情報処理装置が消費する全ての前記電流を検出し、

前記第 1 の出力手段は、前記検出手段により検出された前記電流のレベルが、予め設定された前記電流の制限値に対応する前記制限レベルを超えた場合、前記第 1 の信号を出力する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 6】 前記情報処理装置は、複数種類の前記電源供給装置を利用可能であり、

前記消費電流通過ラインを流れる電流の制限値が、複数の前記電源供給装置のそれぞれに対して、それぞれの容量に基づいて予め設定されており、

前記第 1 の出力手段は、前記情報処理装置が第 1 の電源供給装置を利用する場合、前記検出手段により検出された前記電流のレベルが、前記第 1 の電源供給装置に対して予め設定された前記電流の制限値に対応する第 1 の制限レベルを超えたとき、前記第 1 の信号を出力し、

前記情報処理装置が第 2 の電源供給装置を利用する場合、前記検出手段により検出された前記電流のレベルが、前記第 2 の電源供給装置に対して予め設定された前記電流の制限値に対応する第 2 の制限レベルを超えたとき、前記第 1 の信号を出力する

ことを特徴とする請求項 5 に記載の情報処理装置。

【請求項 7】 前記第 1 の電源供給装置は、商用交流電源の電源供給装置であり、前記第 2 の電源供給装置は、バッテリーである

ことを特徴とする請求項 6 に記載の情報処理装置。

【請求項 8】 前記検出手段は、前記消費電流通過ラインを通過する電流を、その両端の電圧値として検出する検出抵抗を有し、

前記第 1 の出力手段は、

前記検出手段により検出された前記電流のレベルを入力する第 1 の入力と、前記制限レベルを入力する第 2 の入力のそれぞれの値を比較し、第 1 の入力の値が第 2 の入力の値を超えた場合、前記第 1 の信号を出力するコンパレータと、

その時点で実際に前記情報処理装置が消費している電流が前記消費電流通過ラインを流れている場合における前記検出抵抗の両端の電圧と、前記電源供給装置の出力電圧に基づいて前記電流レベルを演算し、演算した前記電流レベルを前記コンパレータの第 1 の入力に供給する第 1 の供給手段と、

前記電源供給装置の容量に基づいて予め設定された前記制限値の電流が前記消費電流通過ラインを流れている場合に、前記第 1 の供給手段から前記コンパレータの前記第 1 の入力に供給される前記電流レベルと同一のレベルを、前記制限レベルとして前記コンパレータの第 2 の入力に供給する第 2 の供給手段と

を有する

ことを特徴とする請求項 5 に記載の情報処理装置。

【請求項 9】 CPUと、

前記CPUの温度を計測し、その測定値を出力するセンサと

をさらに備え、

前記第 2 の出力手段は、前記センサから出力された前記測定値が所定値を超えた場合、前記第 2 の信号をさらに出力する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 10】 モニター兼用コントロール端子を有し、前記モニター兼用コントロール端子に対応する制御であって、自分自身の動作を所定の周期で定期的に繰り返し休止させる制御を実行するCPUをさらに備え、

前記CPUは、前記第2の出力手段より前記第2の信号が出力された場合、前記第2の信号を前記モニター兼用コントロール端子を介して取得し、前記モニター兼用コントロール端子に対応する前記制御を実行する

ことを特徴とする請求項1に記載の情報処理装置。

【請求項11】 所定の省電力機能を有し、前記第2の出力手段より前記第2の信号が出力された場合、前記省電力機能を実行するVideoコントローラチップをさらに備える

ことを特徴とする請求項1に記載の情報処理装置。

【請求項12】 情報処理装置の情報処理方法において、
情報処理装置内の所定の電送路を流れる電流を検出する検出ステップと、
前記検出ステップの処理により検出された前記電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第1の信号を出力する第1の出力ステップと、

前記第1の出力ステップの処理により前記第1の信号が出力された場合、前記情報処理装置のクロックの周波数の低下を指令する第2の信号を出力する第2の出力ステップと、

前記第2の出力ステップの処理により前記第2の信号が出力された場合、前記情報処理装置の前記クロックの周波数を低下させるように制御する周波数制御ステップと

を含むことを特徴とする情報処理方法。

【請求項13】 情報処理装置を制御するコンピュータに、
情報処理装置内の所定の電送路を流れる電流を検出する検出ステップと、
前記検出ステップの処理により検出された前記電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第1の信号を出力する第1の出力ステップと、

前記第1の出力ステップの処理により前記第1の信号が出力された場合、前記情報処理装置のクロックの周波数の低下を指令する第2の信号を出力する第2の出力ステップと、

前記第2の出力ステップの処理により前記第2の信号が出力された場合、前記

情報処理装置の前記クロックの周波数を低下させるように制御する周波数制御ステップと

を実行させることを特徴とするプログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、情報処理装置および方法、並びに、プログラムに関し、特に、電源装置の大型化を抑制し、かつ、継承と標準化が容易な、情報処理装置の省電力制御を行うことができるようにした情報処理装置および方法、並びに、プログラムに関する。

【0 0 0 2】

【従来の技術】

近年、周波数が高く、消費電力が比較的大きいCPU（Central Processing Unit）が普及している。このようなCPUが搭載される情報処理装置の電源装置は、増大する消費電力に応じて要求される電力供給能力を満たすように設計されており、大型で価格が高くなることが多い。即ち、電源装置は、情報処理装置に搭載されるCPU、その他チップ、内蔵ドライブ、外部機器接続用端子に接続され得る機器などの全てが、それぞれ同時に最大限に動作させた状態の最大消費電力量を想定して設計がなされている。

【0 0 0 3】

一方、情報処理装置の消費電力を減らす工夫も従来より行われている。そのような工夫には、例えば、バッテリーで動作していることを検出して、動作時間を長くするためにCPUの動作モードを遷移させたり、LCD（Liquid Crystal Display）のバックライトを調整して消費電力を減らすものがある。あるいは、CPUの温度を検出し所定温度を超えた場合にCPUの動作モードを遷移させて、CPUが自身の熱により破壊されたり、暴走してしまうことを未然に防ぐ工夫がされたものがあり、結果的に消費電力を下げる役割を果たしているものがある（例えば、特許文献1）。

【0 0 0 4】

【特許文献 1】

特表2001-517332号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、実際のところ、最大消費電力を消費させるように動作させた状態で情報処理装置が使用されるケースは少なく、このため、大部分のケースにおいては、最大消費電力量を供給可能なように設計された電源装置は過剰な能力となっている。

【0006】

例えば、持ち運び可能とするために、A C (Alternating Current) 電源アダプタだけでなく、バッテリーといった電源装置も使えるようになっているモバイルコンピュータやノート型パーソナルコンピュータ（以下、適宜、ノート型パソコンと略記する）などの携帯型情報処理装置においては、大型の電源装置を搭載すると持ち運び自在といったメリットを生かせないことになってしまう。

【0007】

このような環境下、従来の消費電力を減らす制御方法では、搭載されたデバイス、例えばCPUを最大限に動作させることを可能としつつ最大消費電力量を適切に低減させることは困難であるという課題があった。また、CPUの動作モードを遷移させたり、LCDのバックライトを調整して最大消費電力量を減らす制御の実行には、オペレーティングシステムの介在や複雑なパラメータが必要とされ、その結果、機種異なる情報処理装置への制御の継承には多くの手間がかかり、制御の標準化が困難である課題もあった。

【0008】

本発明は、このような状況を鑑みてなされたものであり、最大消費電力量を低減し、また継承と標準化を容易にし、電源装置の大型化の抑制に寄与するものである。

【0009】**【課題を解決するための手段】**

本発明の情報処理装置は、情報処理装置内の所定の電送路を流れる電流を検出

する検出手段と、検出手段により検出された電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第1の信号を出力する第1の出力手段と、第1の出力手段より第1の信号が出力された場合、情報処理装置のクロックの周波数の低下を指令する第2の信号を出力する第2の出力手段と、第2の出力手段より第2の信号が出力された場合、情報処理装置のクロックの周波数を低下させるように制御する周波数制御手段とを備えることを特徴とする。

【0010】

周波数制御手段は、第2の出力手段より第2の信号が出力されてから第1の時間経過後、情報処理装置のスロットリング機能を利用して、情報処理装置のクロックの周波数を低下させるように制御し、周波数制御手段の制御が開始されてから、第1の時間に基づいて予め設定された第2の時間が経過した時点で、周波数制御手段の制御を解除する解除手段をさらに設けるようにすることができる。

【0011】

電送路は、所定の電源供給装置から情報処理装置に電力が供給される電力ラインであり、第2の時間は、電源供給装置の仕様として規定されているピーク電力とDuty Rateの範囲内の情報処理装置が消費する平均電力が、制限レベルに対応する電力を超えないように、第1の時間に基づいて予め設定されるようにすることができる。

【0012】

第2の出力手段は、マイクロコンピュータとして構成され、第1の出力手段より出力された第1の信号を、マイクロコンピュータのポーリング周期以上の第3の時間だけ保持して、出力する保持手段をさらに設け、第2の出力手段は、保持手段により出力が保持された第1の信号を検出した場合、第2の信号を出力するようにすることができる。

【0013】

電送路は、所定の電源供給装置から情報処理装置に電力が供給される電力ラインのうちの、情報処理装置が消費する全ての電流が流れる消費電流通過ラインであり、消費電流通過ラインを流れる電流の制限値が、電源供給装置の容量に基づいて予め設定されており、検出手段は、消費電流通過ラインを流れる、情報処理

装置が消費する全ての電流を検出し、第1の出力手段は、検出手段により検出された電流のレベルが、予め設定された電流の制限値に対応する制限レベルを超えた場合、第1の信号を出力するようにすることができる。

【0014】

情報処理装置は、複数種類の電源供給装置を利用可能であり、消費電流通過ラインを流れる電流の制限値が、複数の電源供給装置のそれぞれに対して、それぞれの容量に基づいて予め設定されており、第1の出力手段は、情報処理装置が第1の電源供給装置を利用する場合、検出手段により検出された電流のレベルが、第1の電源供給装置に対して予め設定された電流の制限値に対応する第1の制限レベルを超えたとき、第1の信号を出力し、情報処理装置が第2の電源供給装置を利用する場合、検出手段により検出された電流のレベルが、第2の電源供給装置に対して予め設定された電流の制限値に対応する第2の制限レベルを超えたとき、第1の信号を出力するようにすることができる。

【0015】

第1の電源供給装置は、商用交流電源の電源供給装置であり、第2の電源供給装置は、バッテリーであるようにすることができる。

【0016】

検出手段は、消費電流通過ラインを通過する電流を、その両端の電圧値として検出する検出抵抗を有し、第1の出力手段は、検出手段により検出された電流のレベルを入力する第1の入力と、制限レベルを入力する第2の入力のそれぞれの値を比較し、第1の入力の値が第2の入力の値を超えた場合、第1の信号を出力するコンパレータと、その時点で実際に情報処理装置が消費している電流が消費電流通過ラインを流れている場合における検出抵抗の両端の電圧と、電源供給装置の出力電圧に基づいて電流レベルを演算し、演算した電流レベルをコンパレータの第1の入力に供給する第1の供給手段と、電源供給装置の容量に基づいて予め設定された制限値の電流が消費電流通過ラインを流れている場合に、第1の供給手段からコンパレータの第1の入力に供給される電流レベルと同一のレベルを、制限レベルとしてコンパレータの第2の入力に供給する第2の供給手段とを有するようにすることができる。

【0017】

CPUと、CPUの温度を計測し、その測定値を出力するセンサとをさらに設け、第2の出力手段は、センサから出力された測定値が所定値を超えた場合、第2の信号をさらに出力するようにすることができる。

【0018】

モニター兼用コントロール端子を有し、モニター兼用コントロール端子に対応する制御であって、自分自身の動作を所定の周期で定期的に繰り返し休止させる制御を実行するCPUをさらに設け、CPUは、第2の出力手段より第2の信号が出力された場合、第2の信号をモニター兼用コントロール端子を介して取得し、モニター兼用コントロール端子に対応する制御を実行するようにすることができる。

【0019】

所定の省電力機能を有し、第2の出力手段より第2の信号が出力された場合、その省電力機能を実行するVideoコントローラチップをさらに設けるようにすることができる。

【0020】

本発明の情報処理装置の情報処理方法は、情報処理装置内の所定の電送路を流れる電流を検出する検出ステップと、検出ステップの処理により検出された電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第1の信号を出力する第1の出力ステップと、第1の出力ステップの処理により第1の信号が出力された場合、情報処理装置のクロックの周波数の低下を指令する第2の信号を出力する第2の出力ステップと、第2の出力ステップの処理により第2の信号が出力された場合、情報処理装置のクロックの周波数を低下させるように制御する周波数制御ステップとを含むことを特徴とする。

【0021】

本発明のプログラムは、情報処理装置内の所定の電送路を流れる電流を検出する検出ステップと、検出ステップの処理により検出された電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第1の信号を出力する第1の出力ステップと、第1の出力ステップの処理により第1の信号が出力された場合、情報処理装置のクロックの周波数の低下を指令する第2の信号を出力する第

2 の出力ステップと、第 2 の出力ステップの処理により第 2 の信号が出力された場合、情報処理装置のクロックの周波数を低下させるように制御する周波数制御ステップとをコンピュータに実行させることを特徴とする。

【 0 0 2 2 】

本発明の情報処理装置および方法、並びにプログラムにおいては、情報処理装置内の所定の電送路を流れる電流のレベルが、予め設定された制限レベルを超えた場合、そのことを表す第 1 の信号が出力され、その第 1 の信号の出力がトリガとなり、クロックの周波数の低下を指令する第 2 の信号が出力されて、情報処理装置のクロックの周波数を低下させる制御が開始される。

【 0 0 2 3 】

本発明の情報処理装置は、情報処理装置の内部を流れる電流に基づいて、クロックの周波数を低下させてもよいし、情報処理装置に供給されてくる、情報処理装置の外部を流れる電流に基づいて、クロックの周波数を低下させてもよい。また、情報処理装置の内部および外部を流れる電流を総合的に判断して、クロックの周波数を低下させてもよい。

【 0 0 2 4 】

【発明の実施の形態】

図 1 は、本発明が適用される情報処理装置の構成例を表している。

【 0 0 2 5 】

図 1 の情報処理装置 1 において、CPU 1 1 は、例えば、インテル (Intel) 社製のペンティアム (登録商標) プロセッサ等で構成され、フロントサイドバス (F S B) 5 4 に接続されている。F S B 5 4 には、更に、ノースブリッジ 1 4 が接続されており、ノースブリッジ 1 4 は、AGP (Accelerated Graphics Port) 5 5 を有しているとともに、ハブインタフェース 5 3 に接続されている。

【 0 0 2 6 】

ノースブリッジ 1 4 は、例えば、インテル社製の AGP Host Bridge Controller である 4 4 0 B X などで構成されており、C P U 1 1 および RAM (Random Access Memory) 1 3 (いわゆる、メインメモリ) 等を制御する。更に、ノースブリッジ 1 4 は、A G P 5 5 を介して、ビデオコントローラ 1 5 を制御する。ビデオコ

ントローラ 1 5 は、L C D (Liquid Crystal Display) 1 6 または V G A (Video Graphics Array) 方式のディスプレイ（以下、V G A 1 7 と記述する）をコントロールする。

【 0 0 2 7 】

ビデオコントローラ 1 5 は、C P U 1 1 から供給されるデータ（イメージデータまたはテキストデータなど）を受信して、受信したデータに対応するイメージデータを生成するか、または、受信したデータをそのまま内蔵するビデオメモリ（図示せず）に記憶する。ビデオコントローラ 1 5 は、L C D 1 6 または V G A 1 7 に、ビデオメモリに記憶されているイメージデータに対応する画像を表示させる。L C D 1 6 または V G A 1 7 は、ビデオコントローラ 1 5 から供給されたデータを基に、画像または文字などを表示する。

【 0 0 2 8 】

ノースブリッジ 1 4 は、更に、キャッシュメモリ 1 2 とも接続されている。キャッシュメモリ 1 2 は、SRAM (Static RAM) など RAM 1 3 と比較して、より高速な書き込みまたは読み出しの動作を実行できるメモリで構成され、C P U 1 1 が使用するプログラムまたはデータをキャッシュする（一時的に記憶する）。

【 0 0 2 9 】

なお、C P U 1 1 は、その内部に 1 次的な、キャッシュメモリ 1 2 に比較して、より高速に動作でき、C P U 1 1 自身が制御するキャッシュを有する。

【 0 0 3 0 】

RAM 1 3 は、例えば、DRAM (Dynamic RAM) で構成され、C P U 1 1 が実行するプログラム、または C P U 1 1 の動作に必要なデータを記憶する。具体的には、例えば、R A M 1 3 は、起動が完了した時点において、H D D 2 7 からロードされた OS (Operating System) やインターネットプログラムなどを記憶する。

【 0 0 3 1 】

OS は、例えば、マイクロソフト社のいわゆるウィンドウズ（登録商標）X P、またはアップルコンピュータ社のいわゆる Mac OS（登録商標）等に代表される、コンピュータの基本的な動作を制御するプログラムである。

【 0 0 3 2 】

ノースブリッジ 1 4 は、ハブインタフェース 5 3 を介して、サウスブリッジ 1 8 とも接続されている。サウスブリッジ 1 8 は、例えば、インテル社製の P I I X 4 E など構成されており、A C 9 7 リンクインタフェース 1 8 A、U S B (Universal Serial Bus) インタフェース 1 8 B、I D E (Integrated Drive Electronics) インタフェース 1 8 C、P C I (Peripheral Component Interconnect) インタフェース 1 8 D、L P C (Low Pin Count) インタフェース 1 8 E、および、E t h e r インタフェース 1 8 F 等を内蔵している。

【 0 0 3 3 】

サウスブリッジ 1 8 は、A C 9 7 リンクバス 5 6、U S B バス 5 7、または、I D E バス 5 8 に接続されるデバイスの制御等、各種の I/O (Input / Output) を制御する。

【 0 0 3 4 】

A C 9 7 リンクバス 5 6 には、モデム 2 0、サウンドコントローラ 1 9 が接続されている。モデム 2 0 は、公衆回線網に接続されており、公衆回線網またはインターネット (いずれも図示せず) を介する通信処理を実行する。サウンドコントローラ 1 9 は、マイクロフォン 2 1 から音声を取り込み、その音声に対応するデータを生成して、R A M 1 3 に出力する。またサウンドコントローラ 1 9 は、スピーカ 2 2 を駆動して、スピーカ 2 2 に音声を出力させる。

【 0 0 3 5 】

サウスブリッジ 1 8 の U S B バス 5 7 には、U S B コネクタ 2 3 が接続され、各種 U S B デバイスが接続可能になされている。また U S B バス 5 7 を介して、メモリースティックスロット 2 4 とブルーテウス通信部 2 6 が接続されている。メモリースティックスロット 2 4 には、メモリースティック (商標) 2 5 が装着される。

【 0 0 3 6 】

メモリースティック 2 5 は、本願出願人であるソニー株式会社によって開発されたフラッシュメモリカードの一種である。このメモリースティック 2 5 は、縦 21.5×横 50×厚さ 2.8[mm] の小型薄型形状のプラスチックケース内に電氣的に書換えや消去が可能な不揮発性メモリである E E P R O M (Electrically Erasable an

d Programmable Read Only Memory) の一種であるフラッシュメモリ素子を格納したものであり、10ピン端子を介して画像や音声、音楽等の各種データの書き込み及び読み出しが可能となっている。ブルーテウス通信部 2 6 は、ブルーテウス規格による通信を行う。

【 0 0 3 7 】

USB インタフェース 1 8 B は、USB バス 5 7 を介して接続されている外部の装置にデータを送信するとともにデバイスからデータを受信する。

【 0 0 3 8 】

IDE インタフェース 1 8 C は、いわゆるプライマリ IDE コントローラとセカンダリ IDE コントローラとの 2 つの IDE コントローラ、およびコンフィギュレーションレジスタ (configuration register) 等から構成されている (いずれも図示せず)。

【 0 0 3 9 】

プライマリ IDE コントローラには、IDE バス 5 8 を介して、HDD 2 7 が接続されている。また、セカンダリ IDE コントローラには、他の IDE バスに、CD-ROM ドライブ 2 8 または HDD (不図示) などの、いわゆる IDE デバイスが装着されたとき、その装着された IDE デバイスが電氣的に接続される。

【 0 0 4 0 】

E t h e r コネクタ 2 9 は、LAN (Local Area Network) などのネットワークに接続される。E t h e r インタフェース 1 8 F は、E t h e r コネクタ 2 9 に接続されたネットワークにデータを送信するとともに、データを受信する。

【 0 0 4 1 】

L P C バス 5 2 には、B I O S (Basic Input Output System) 3 0、I/O (Input/Output) インタフェース 3 1、チップセット 3 9、およびコントローラ 4 0 が接続されている。

【 0 0 4 2 】

B I O S 3 0 は、情報処理装置 1 の基本動作命令を集めたプログラム群であり、例えば、ROM (Read Only Memory) などに記憶されている。また、B I O S 3 0 は、OS またはアプリケーションプログラムと周辺機器との間でのデータの受

け渡し（入出力）を制御する。

【0043】

I/Oインタフェース31には、パラレル端子32とシリアル端子33が接続されており、それぞれの端子に接続された機器とのデータの授受を行う。

【0044】

チップセット39には、コントローラ40が接続されている。コントローラ40には、ジョグダイヤル43、キーボード44、および、マウス45といった入力機器、並びに省電力制御部42などが接続されている。

【0045】

チップセット39は、いわゆるスロットリング機能と称される、CPU11の発熱を抑えることを主目的として使用される制御の実行が可能である。具体的には、チップセット39は、CPU11を駆動させたり、させなかったりすることにより、等価的にクロックの周波数を下げる制御（CPU11を間欠的に駆動させ平均値としてクロックの周波数を下げる制御）を行う。なお、以下、このようなチップセット39の制御を、スロットル制御と称する。

【0046】

コントローラ40は、マイクロコンピュータとして構成されており、ジョグダイヤル43、キーボード44、および、マウス45といった入力機器を制御する。さらに、本実施形態においては、後述するように、コントローラ40は、チップセット39のスロットル制御を利用して、省電力制御部42とともに、電源装置41から供給される電力の制御を行う。

【0047】

電源装置41は、情報処理装置1のシステム全体に電源を供給する装置であり、この例においては、例えば、AC電源アダプタ、または、バッテリーとされる。なお、省電力制御部42の詳細については、図2を参照して後述する。

【0048】

PCIバス51には、PCカードインタフェース36とIEEE (Institute of Electrical and Electronics Engineers) 1394インタフェース34が接続されている。

【0049】

IEEE1394インタフェース34は、IEEE1394ポート35を介して、IEEE1394の規格に準拠するデータ（パケットに格納されているデータ）を送受信する。

【0050】

PCカードインタフェース36は、スロット37に接続された機器（カード（図示せず））から供給されたデータを、CPU11またはRAM13に供給するとともに、CPU11から供給されたデータをスロット37に接続されているカードに出力する。

【0051】

なお、図1に示されるように、スロット37にはまた、必要に応じてドライブ38が接続される。この場合、ドライブ38は、スロット37およびPCカードインタフェース36を介して、PCIバス51に接続される。ドライブ38は、装着されている磁気ディスク61、光ディスク62、光磁気ディスク63、または半導体メモリ64に記録されているデータを読み出し、読み出したデータをRAM13に供給する。また、CPU11の処理により生成されたデータを、ドライブ38に装着される磁気ディスク61、光ディスク62、光磁気ディスク63、または半導体メモリ64に記憶させることができる。

【0052】

ところで、上述したように、近年、周波数が高く、消費電力の比較的大きいCPU11が普及している。また、図1に示されるように構成される、持ち運び可能なモバイルコンピュータやノート型パソコンなどの情報処理装置1も普及している。ノート型パソコンなどは、持ち運び可能とするために、電源装置41として、AC電源アダプタだけでなく、バッテリーも使えるようになっている。

【0053】

また、電源装置41は、情報処理装置1に搭載されるCPU11、その他チップ（図示せず）、（内蔵）ドライブ38、並びに、外部機器接続用端子に接続され得る機器としてのCD-ROMドライブ28およびIEEE1394インタフェース34などの全てが、それぞれ同時に最大限に動作させた状態の最大消費電力量を想定して設計がなされている。

【0054】

電源装置 41 の設計仕様には、定格電力値、ピーク電力値、ピーク電力継続時間、および、定格電力内の期間と定格電力を越える期間との比率 (Duty Rate) などが定められている。

【0055】

このような周波数が高く消費電力の大きい CPU 11 が、ノート型パソコン (情報処理装置 1) に搭載された場合、バッテリーでの駆動時間を伸ばしたり、電源装置 41 の小型化を図るために、情報処理装置 1 全体の消費電力を減らす工夫が必要である。

【0056】

このため、本発明の情報処理装置 1 は、後述するように、情報処理装置 1 が消費する全電流 (実際に流れている電流) を検出し、検出した電流のレベルが、予め設定されている制限レベルを超える場合、CPU 11 のクロックの周波数を下げ、消費電力が小さくなるように制御を行っている。以下、このような制御を、単に省電力制御と称する。なお、CPU 11 のクロックの周波数を下げる方法は、特に限定されず、例えば、クロックの周波数自体を下げて構わないが、この例においては、上述したスロットル制御とされている。

【0057】

図 2 は、図 1 の情報処理装置 1 のうちの、そのような省電力制御を実行する主要部分の詳細な構成例を表している。

【0058】

即ち、図 2 に示されるように、本発明の省電力制御は、チップセット 39、コントローラ 40、電源装置 41、および、省電力制御部 42、並びに、図 2 には図示されていない CPU 11 (図 1) により実行される。

【0059】

省電力制御部 42 は、電流検出部 71、増幅部 72、電力リミット検出部 73、および、検出信号保持部 74 から構成されている。

【0060】

この例の電源装置 41 は、上述したように、AC 電源アダプタ、または、バッ

テリから構成され、情報処理装置 1 に対して電源を供給する。具体的には、電源装置 41 は、情報処理装置 1 (図 1) が消費する全ての電流を、電送路 75 (および、後述する電流検出部 71) を介してシステム (情報処理装置 1) に供給する。換言すると、電送路 75 は、情報処理装置 1 が消費する全ての電流が流れるように、情報処理装置 1 の内部に配置されている。

【0061】

省電力制御部 42 の詳細な構成例が、図 3 に示されている。そこで、図 3 を参照して、省電力制御部 42 の詳細について説明する。

【0062】

図 3 に示されるように、電流検出部 71 は、検出抵抗 R_s として構成されている。検出抵抗 R_s は、電源装置 41 から供給され、電送路 75 を流れる電流 I_n を、その両端の電圧として検出する。即ち、電流検出部 71 は、電流 I_n を、次の式 (1) で示される電圧 V_s として検出する。

【0063】

$$V_s = I_n \times R_s \cdots (1)$$

【0064】

増幅部 72 は、例えば、オペアンプ 81 等で構成され、電流検出部 71 により検出された検出電圧 V_s を、所定のゲイン G だけ増幅し (電圧値を G 倍し)、電圧 V_{out} として電流リミット検出部 73 に出力する。即ち、増幅部 72 の出力電圧 V_{out} は、次の式 (2) で示される値となる。式 (2) において、 G は、任意の整数値とされるが、この例においては、例えば、 $G=20$ とされる。

【0065】

$$V_{out} = G \times V_s \cdots (2)$$

【0066】

電力リミット検出部 73 は、増幅部 72 の出力電圧 V_{out} を入力し、入力した出力電圧 V_{out} に基づいて、電送路 75 を流れる電流 (情報処理装置 1 が消費する全電流) I_n のレベルを演算し、演算した電流 I_n のレベルが、予め設定されている制限レベル (電流 I_n の制限値に対応するレベル) を超えた場合、そのことを表す信号を検出信号保持部 74 に出力する。

【0067】

即ち、電源装置 41 は、一般的に定電圧源であるので、電送路 75 を流れる電流 I_n により、情報処理装置 1 が消費する電力を算出することが可能である。従って、電力リミット検出部 73 は、その時点で電送路 75 を実際に流れている電流 I_n が、電源装置 41 の定格電力（なお、ここでは、定格電力を、制限値として使用するため、制限電力 $P_{iplimit}$ と称する）に対応する電流（以下、そのような電流を、制限電流 $I_{inplimit}$ と称する）を超えた場合、その時点で情報処理装置 1 が消費している電力が、制限電力 $P_{iplimit}$ を超えたと検出し、そのことを表す信号（以下、そのような信号を、電力リミット検出信号と称する）を検出信号保持部 74 に出力する。

【0068】

なお、制限電力 $P_{iplimit}$ と制限電流 $I_{inplimit}$ には、次の式（3）に示されるような関係が成立する。式（3）において、 V_{in} は、電源装置 41 の出力電圧を表している。

【0069】

$$P_{iplimit} = V_{in} \times I_{inplimit} \cdots (3)$$

【0070】

電力リミット検出部 73 は、電力リミット検出信号を出力可能なものであれば、その構成は限定されないが、この例においては、例えば、図 3 に示されるように、抵抗 R_a 、抵抗 R_b 、抵抗 R_c 、コンパレータ 82、および、リファレンス電源供給部 83 より構成されている。

【0071】

コンパレータ 82 の逆相入力（-）には、抵抗 R_a 乃至抵抗 R_c のそれぞれの一端が接続されている。コンパレータ 82 の逆相入力（-）に接続された抵抗 R_a と抵抗 R_b のそれぞれの一端はまた、相互に接続されており、抵抗 R_a の他端は、増幅部 72（オペアンプ 81）の出力端に接続されており、抵抗 R_b の他端は、接地されている。即ち、抵抗 R_a と抵抗 R_b が直列的に接続された直列回路の一端が、増幅部 72（オペアンプ 81）の出力端に接続されており、その他端が、接地されている。また、抵抗 R_a と抵抗 R_b の間（接続端）に、コンパレータ 82 の逆相入力（-

）、および、抵抗 R_c の一端が接続されている。抵抗 R_c の他端は、電送路 7 5 のうちの、電源装置 4 1 と電流検出部 7 1 の間の所定の部分（電源装置 4 1 の出力電圧 V_{in} が保たれている部分）に接続されている。

【 0 0 7 2 】

制限電力 $P_{iplimit}$ のときに得られる増幅部 7 2 の出力電圧 V_{out} を V_a とし、任意に設定された電源装置 4 1 の出力電圧 V_{in} を V_b として用い、更に例えば電源装置 4 1 としてACアダプターを使用したときの出力電圧 V_{in} を V_{b1} 、電源装置 4 1 としてバッテリーを使用したときの出力電圧 V_{in} を V_{b2} とし、出力電圧 V_{b1} のとき制限電流 $I_{inplimit}$ によって得られるオペアンプの出力電圧 V_{out} を V_{a1} 、出力電圧 V_{b2} のとき制限電流 $I_{inplimit}$ によって得られるオペアンプの出力電圧 V_{out} を V_{a2} として、制限電力 $P_{iplimit}$ 時にコンパレータ 8 2 の逆位相入力(-)にされる R_b と R_a の中間点の電圧 V_c が0.6[V]になるよう次の式 (4) と式(5)によって R_a , R_b , R_c が算出される。

【 0 0 7 3 】

$$R_a = R_b \{ (V_{b2} - V_c) (V_c - V_{a1}) - (V_{b1} - V_c) (V_c - V_{a2}) \} / \{ (V_{b1} - V_c) - (V_{b2} - V_c) \} V_c \quad \cdots (4)$$

【 0 0 7 4 】

$$R_c = R_a R_b (V_{b1} - V_c) / (R_a + R_b) V_c - R_b V_{a1} \quad \cdots (5)$$

【 0 0 7 5 】

ただし、コンパレータ入力精度を考慮して、 R_b は任意の値が予め設定される。

【 0 0 7 6 】

この例においては、電源装置 4 1 として、AC電源アダプタとバッテリーの 2 種類が使用可能とされているが、一般的に、AC電源アダプタの制限電圧（定格電圧） $P_{inplimit}$ は、バッテリーの制限電圧（定格電圧） $P_{inplimit}$ より高い設定とされていることが多い。また、一般的に、AC電源アダプタの出力電圧 V_{in} は、バッテリーの出力電圧 V_{in} より高い設定とされていることが多い。

【 0 0 7 7 】

従って、電源装置 4 1 の出力電圧 V_{in} が下がると、その制限電圧（定格電圧） $P_{inplimit}$ も下がるリニアな制御を可能とするために、図 3 の例では、電流加算さ

れる中間点の電圧 V_c が、コンパレータ82の逆相入力(-)にされるようになされている。このように、コンパレータ82が、オペアンプ81の出力電圧 V_{out} と電源装置41の出力電圧 V_{in} との電流加算である中間点の電圧 V_c と、リファレンス電源供給部83から供給される一定電圧(0.6[V])を比較することで、複数種類の電源装置41のそれぞれに対して、省電力制御が可能となる。

【0078】

検出信号保持部74は、インバータ84、ダイオード85、抵抗 R_t 、および、コンデンサ C_t からなる回路、並びに、インバータ86より構成されている。即ち、検出信号保持部74は、電力リミット検出部73のコンパレータ82より出力された電力リミット検出信号を、後述するコントローラ40に供給するが、時定数 R_t/C_t に対応する保持時間 T_1 の間、電力リミット検出信号の出力を保持する。この保持時間 T_1 については、後述する。

【0079】

図2に戻り、コントローラ40は、省電力制御部42より電力リミット検出信号を受信すると、チップセット39のスロットル制御をイネーブルにする。そして、コントローラ40は、その後、チップセット39のスロットル制御を維持させ、スロットル制御が開始されてから所定の制御維持時間 T_3 が経過すると、スロットル制御を解除する。なお、制御維持時間 T_3 の詳細については、後述する。

【0080】

チップセット39は、コントローラ40の制御に基づいて、スロットル制御を実行したり、停止したりする。

【0081】

なお、コントローラ40が、スロットル制御をイネーブルにする方法は、特に限定されないが、この例においては、例えば、コントローラ40は、図2に示されるスロットル制御指令信号を出力することにより、チップセット39のスロットル制御をイネーブルにする。即ち、チップセット39は、コントローラ40がスロットル制御指令信号を出力している間(それを受信している間)、スロットル制御を維持し、コントローラ40がスロットル制御指令信号の出力を停止した場合(それを受信しなくなった場合)、スロットル制御の解除が指令されたとみ

なし、スロットル制御の実行を停止する。

【0082】

次に、図4のフローチャートを参照して、図1の情報処理装置1（主に、図2に示される部分）の省電力制御について説明する。

【0083】

はじめに、ステップS1において、図2の電流検出部71は、情報処理装置1の消費電流を検出する。即ち、図3において、上述したように、情報処理装置1が消費する全ての電流 I_n が、電送路75を流れるようになされており、その電流 I_n は、電送路75に設けられた電流検出部71の検出抵抗 R_s の両端の電圧 V_s として検出される。

【0084】

上述したように、検出電圧 V_s は、増幅部72のオペアンプ81により、所定のゲイン G （この例では、 $G=20$ ）倍だけ増幅されて、出力される。そして、このオペアンプ81の出力電圧 V_{out} と、電源装置41の出力電圧 V_{in} の電流加算された電圧 V_c が、その時点で電送路75に実際に流れている電流 I_n のレベルとして、コンパレータ82の逆相入力（-）に入力される。また、コンパレータ82の正相入力（+）には、リファレンス電源供給部83より供給される一定電圧（図3の例では、0.6Vの電圧）が常時入力されている。

【0085】

即ち、消費電流のレベルとして、加算電圧 V_c が、コンパレータ82の逆相入力（-）に入力されると、ステップS2において、コンパレータ82は、消費電流のレベル（加算電圧 V_c ）が所定のレベル（リファレンス電源供給部83から供給される電圧（0.6V））以上であるか否かを判定する。

【0086】

ステップS2において、消費電流のレベルが所定のレベル以上ではないと判定した場合（加算電圧 V_c が0.6V未満の場合）、コンパレータ82は、その処理をステップS1に戻し、それ以降の処理を繰り返す。即ち、コンパレータ82は、加算電圧 V_c （消費電流のレベル）と、0.6V（制限電流 $I_{nplimit}$ のレベル）を常時比較している。

【0087】

例えば、いま、電送路 75 に、制限電流 $I_{inlimit}$ 以上の電流 I_n が流れたとする。この場合、上述したように、コンパレータ 82 の逆相入力 (-) に入力される加算電圧 V_c は 0.6V を超えるので、コンパレータ 82 は、ステップ S2 において、消費電力のレベルが所定のレベル以上であると判定し、ステップ S3 において電力リミット検出信号を出力する。

【0088】

ステップ S4 において、検出信号保持部 74 は、保持時間 $T1$ の間、電力リミット検出信号を保持する。

【0089】

即ち、例えば、いま、図 5 において、コンパレータ 82 が、時刻 $t1$ に電力リミット検出信号を出力し、時刻 $t2$ にその出力を停止したとする。この場合、検出信号保持部 74 は、電力リミット検出信号のコントローラ 40 への出力を略時刻 $t1$ に開始し、時刻 $t2$ から保持時間 $T1$ だけ経過した時刻 $t3$ に（保持時間 $T1$ だけ保持した後）、その出力を停止する。

【0090】

保持時間 $T1$ は、時定数 R_t/C_t の変更により様々な時間が設定可能であるが、上述したように、コントローラ 40 はマイクロコンピュータとして構成されるので、コントローラ 40 のポーリング周期 T_p 以上の時間が好適である。この例においては、例えば、コントローラ 40 のポーリング周期 T_p が 5ms とされると、検出信号保持部 74 は、保持時間 $T1$ を 5ms 以上として、電力リミット検出信号の保持を行う。

【0091】

即ち、コントローラ 40 は、電力リミット検出信号を検出して（受信して）、チップセット 39 にスロットル制御指令信号を出力するが、この電力リミット信号の検出間隔が 5ms（時間 T_p ）であり、少なくとも 5ms の間、電力リミット検出信号が出力されていないと、電力リミット検出信号を検出することができない。換言すると、図 5 に示されるように、コンパレータ 82 より電力リミット検出信号が出力された時点から、コントローラ 40 によりそれが検出されるまで（チッ

プセット 39 にスロットル制御指令信号が出力されるまで) には、最大、ポーリング周期 T_p だけの遅れが発生する。そこで、検出信号保持部 74 において、電力リミット検出信号の出力を、コントローラ 40 のポーリング周期 T_p (5ms) 以上の時間 (保持時間 T_1) だけ保持するのである。

【0092】

図 4 のステップ S5 において、コントローラ 40 は、スロットル制御指令信号をチップセット 39 に出力する。

【0093】

即ち、図 5 に示されるように、略時刻 t_1 (時刻 t_1 からポーリング周期 T_p (5ms) 以内の時刻) に、スロットル制御指令信号がチップセット 39 に入力される。

【0094】

理想的なチップセット 39 の場合、スロットル制御指令信号が入力されると同時に、スロットル制御が開始されるが、実際には、チップセット 39 がスロットル制御を開始するまでには、所定のディレイ時間 T_2 が存在する。このディレイ時間 T_2 は、チップセット 39 毎に仕様としてそれぞれ設定されており、この例においては、例えば、2s とされている。

【0095】

従って、図 4 のステップ S6 において、チップセット 39 は、図 5 に示されるように、ステップ S5 の処理でコントローラ 40 よりスロットル制御指令信号が出力されてから (チップセット 39 がそれを受信してから)、ディレイ時間 T_2 (この例では、2s) 経過後、スロットル制御を開始する。

【0096】

このように、電送路を流れる電流 I_n が、制限電流 $I_{nplimit}$ を超えた (情報処理装置 1 の消費電力が制限電力 $P_{nplimit}$ を超えた) 時刻 t_1 から、ディレイ時間 T_2 (正確には、ディレイ時間 T_2 (2S) + ポーリング周期 T_p (5ms) = 2.05S) 経過した時刻 t_2 に、初めてスロットル制御が開始される。換言すると、この時刻 t_1 から時刻 t_2 の間は、無制御状態 (スロットル制御が施されていない状態) であるので、電送路に流れる電流 I_n が制限電流 $I_{nplimit}$ を超える状態が続く。すなわち時刻 t_1 から時刻 t_2 の間は、情報処理装置 1 の消費電力が制限電力 $P_{nplimit}$

を超える。

【0097】

しかしながら、電源装置 41 の設計仕様において規定されている制限電圧 $P_{inplimit}$ は、電源装置 41 の発熱によって制限されるため、その瞬間値で管理されるわけではなく、所定の時間の平均電力値として管理される。換言すると、一時的に制限電力 $P_{inplimit}$ を越える電力の消費がなされても、規定のピーク電力 p_{imax} と Duty Rate の範囲内の平均電力が制限電力 $P_{inplimit}$ を超えなければ電源装置 41 の設計仕様の範囲内とされる。この例においては、例えば、Duty Rate は全体のうちの 10% 以下の時間とされており、平均電力（電源装置 41 の発熱）は、定格電力である制限電力 $P_{inplimit}$ 内に収められている。

【0098】

この場合、ディレイ時間 $T2$ (2S) の間（実際には、図 5 に示されるように、ディレイ時間 $T2$ + ポーリング周期 Tp の間であるが、ディレイ時間 $T2$ (2S) は、ポーリング周期 Tp (5ms) より遥かに長いので、ディレイ時間 $T2$ の間とみなし)、最大電力 p_{imax} が続くとする、ディレイ時間 $T2$ の 9 倍の制御維持時間 $T3$ ($=9T2=9 \times 2s=18s$) だけの間、スロットル制御を実行させて、情報処理装置 1 の消費電力（平均電力）が制限電圧 $P_{inplimit}$ を超えないようにする必要がある。

【0099】

そこで、図 4 のステップ S7 において、コントローラ 40 は、ステップ S6 の処理でチップセット 29 によりスロットル制御が開始されてから（ステップ S5 の処理でスロットル制御指令信号が出力されて、ディレイ時間 $T2$ が経過してから）、制御維持時間 $T3$ (18s) 経過後、スロットル制御を解除する。

【0100】

即ち、図 5 に示されるように、コントローラ 40 は、略時刻 $t1$ （時刻 $t1$ からそのポーリング周期 Tp (5ms) 以内の時刻）にスロットル制御指令信号を出力し、その後、ディレイ時間 $T2$ + 制御維持時間 $T3$ ($=2s+18s=20s$) をカウントし、カウントアップした時刻 $t4$ に、スロットル制御指令信号の出力を停止する。

【0101】

チップセット40は、略時刻 t_1 （時刻 t_1 からポーリング周期 T_p （5ms）以内の時刻）にスロットル制御指令信号を受信し、ディレイ時間 T_2 （2 s）経過してから、スロットル制御を開始し、スロットル制御信号を受信している間（時刻 t_4 までは）、スロットル制御を継続し、時刻 t_4 に、コントローラ40からのスロットル制御指令信号の供給が停止されると、スロットル制御を停止する。

【0102】

図4のステップS8において、コントローラ40は、処理の終了が指示されたか否かを判定する。

【0103】

ステップS8において、処理の終了がまだ指示されていないと判定した場合、コントローラ40は、その処理をステップS1に戻し、それ以降の処理を繰り返す。即ち、処理の終了が指示されるまで、電送路75を流れる電流 I_n が常時監視され、省電力制御が実行される。

【0104】

そして、ステップS8において、処理の終了が指示されたと判定されると、その処理は終了される。

【0105】

このように、図1の情報処理装置1は、情報処理装置1自身の消費電力を、情報処理装置1自身が実際に消費している全ての電流として検出し、検出した電流のレベルが、予め設定された制限レベルを超える場合、スロットル制御を実行するようにしたので、CPU11の消費電力を一定率で低下させることが可能となる。

【0106】

即ち、情報処理装置1は、その消費電力を、電源装置41の電源容量以下に抑えることが可能になる。換言すると、設計者等は、上述した情報処理装置1のみならず様々な情報処理装置に対して、上述した省電力制御を採用することで、その電源装置41として、従来よりも低い電源容量を定格とする電源装置を採用することが可能になる。従って、電源装置41、例えば、AC電源アダプタやバッテ

リーの大型化を抑制することが可能になる。

【0107】

また、スロットル制御開始のトリガは、ハードウェア（例えば、図3に示される省電力制御部42）から信号として出力されるので、OS、ソフトウェアアプリケーション、または、制御テーブルが不必要となり、その結果、省電力制御の継承、および標準化が容易に実現可能となる。

【0108】

また、実際のところ情報処理装置の消費電力が制限電力Pinplimitを超えることは、CPU、その他チップ、内蔵ドライブ、および、外部機器接続用端子に接続され得る機器などの全てが、それぞれ同時に最大限に動作された状態になった場合等の稀なケースである。即ち、大部分のケースにおいては、情報処理装置の消費電力は制限電力Pinplimitを超過しないため、上述した省電力制御によってはCPUの動作に制限が加わらず、CPUの能力を最大限に使用することが可能である。

【0109】

なお、本発明の省電力制御を行うために必要な電流の検出は、上述した図2の電送路75を流れる電流Inの検出に限定されず、情報処理装置1内外を問わず、情報処理装置1の消費電力の増減に関与する電流が流れる電送路の検出であればよい。例えば、CPU11を流れる電流の検出であってもよいし、USBバス57を流れる電流の検出であってもよい。

【0110】

ところで、近年のCPUは、ダイの温度を計測するためにダイ上に作り込められた温度センサとTCC（Thermal Control Circuit：温度制御回路）で構成されたプロセッサの温度管理機構を備えており、計測値が所定の温度を超えると、TCCが一定の周期でプロセッサコア内部の動作を定期的に繰り返し休止させることで消費電力を削減し、発熱量を減らして温度を下げる事が可能となっている。このTCCのようにCPUに設けられたモニター兼用コントロール端子（例えば、PROCHOT#端子）に対して直接、本発明の省電力制御を行うようにしてもよい。

【0111】

なお、プロセッサの温度管理機構やCPUの動作速度を抑えることによって消費

電力を少なくするSpeedStepTechnology（商標）など、消費電力を削減する他の制御方法と本発明とを併用してCPUの省電力制御を行ってもよい。

【0 1 1 2】

プロセッサの温度管理機構には、温度センサと温度制御回路とがCPU内部に予め作りこまれているものや、CPUの外部に設けられた温度センサの検出信号に応じてCPUの動作を定期的に繰り返し休止させたり、動作周波数を下げるように制御するものなどがある。後述の外部温度センサの検出信号に基づく制御を上述の実施例に適用する場合は、コントローラ 4 0 によって外部温度センサの検出信号を監視し、所定の温度を超えたときチップセット 3 9 にスロットル制御指令信号が発せられる。スロットル制御指令信号を受けたチップセット 3 9 はCPU 1 1 にスロットル制御を行う。

【0 1 1 3】

なお、上述した実施例では、CPUの省電力機能を利用し制御するようにしたが、省電力機能を有していれば、その他のチップ、例えばVideoコントローラチップなどを同様に制御するようにしてもよい。

【0 1 1 4】

ところで、上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0 1 1 5】

記録媒体は、図 1 に示されるように、パーソナルコンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク 6 1（フレキシブルディスクを含む）、光ディスク 6 2（CD-ROM（Compact Disc-Read Only Memory）、DVD（Digital Versatile Disc）を含む）、光磁気ディスク 6 3（MD（Mini-Disc）（登録商標）を含む）、若しくは半導体メモリ 6 4 などよりなるパッケージメディアにより構成されるだけでなく、コンピュ

ータに予め組み込まれた状態でユーザに提供される、プログラムが記憶されているROMやHDD27が含まれるハードディスクなどで構成される。

【0116】

なお、本明細書において、媒体により提供されるプログラムを記述するステップは、記載された順序に従って、時系列的に行われる処理は勿論、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0117】

【発明の効果】

以上のごとく、本発明によれば、スロットリング機能を利用することができる。特に、電源装置の大型化を抑制し、かつ、継承と標準化が容易な、スロットリング機能を利用した情報処理装置の省電力制御を行うことができる。

【図面の簡単な説明】

【図1】

本発明が適用される情報処理装置の構成例を示すブロック図である。

【図2】

図1の情報処理装置のうちの、省電力制御を実行するチップセット、コントローラ、省電力制御部、および電源装置の構成例を示すブロック図である。

【図3】

図2の省電力制御部の詳細な構成例を示すブロック図である。

【図4】

図1の情報処理装置の省電力制御の処理を説明するフローチャートである。

【図5】

図1の情報処理装置の省電力制御の処理を説明するタイムチャートである。

【符号の説明】

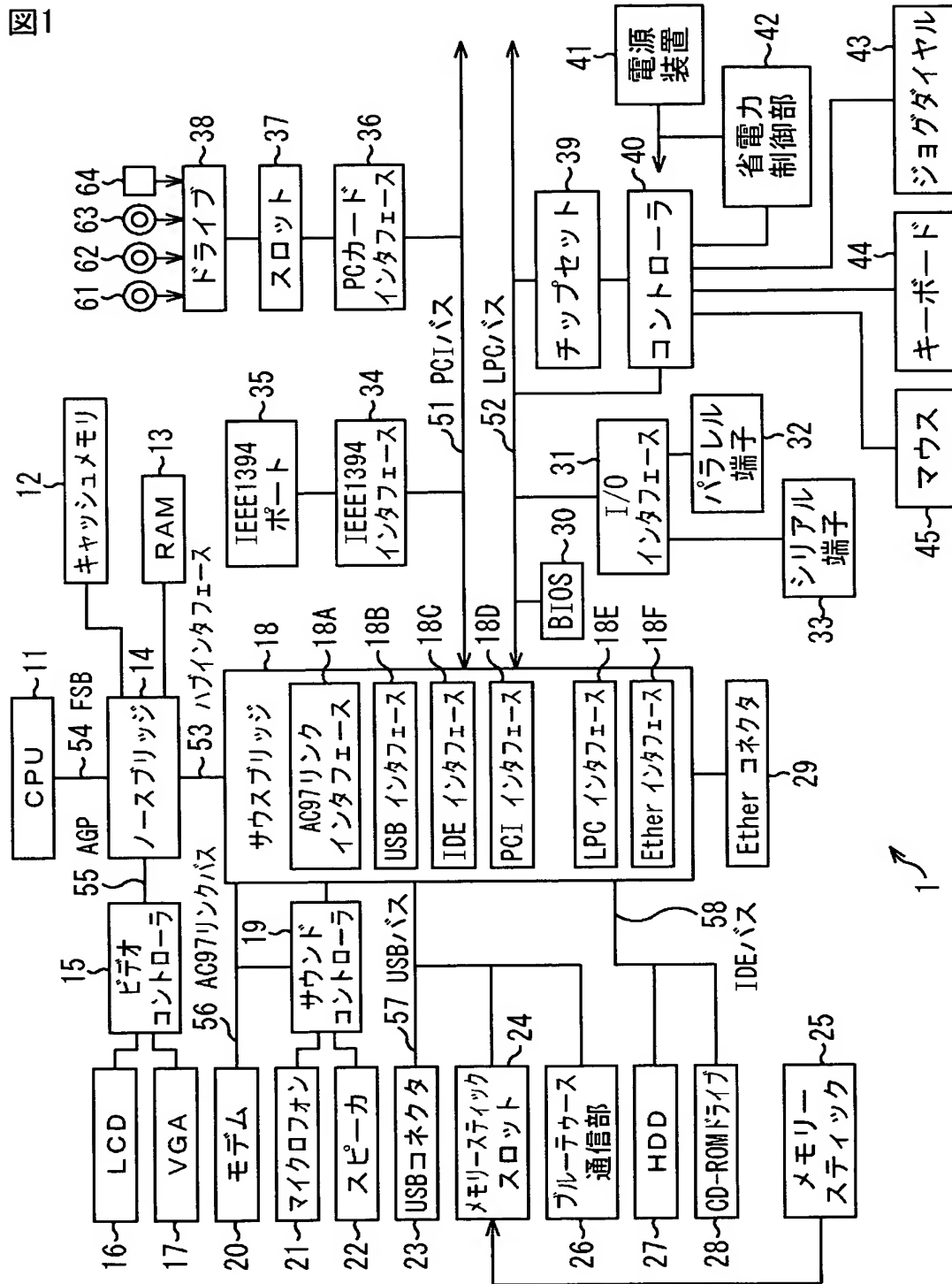
1 情報処理装置, 11 CPU, 39 チップセット, 40 コントローラ, 41 電源装置, 42 省電力制御部, 71 電流検出部, 72 増幅部, 73 電流リミット検出部, 74 検出信号保持部, 75 伝送路, 82 コンパレータ, 83 リファレンス電源供給部, Rs 検出抵

抗, T1 保持時間, T2 デイレイ時間, T3 制御維持時間, Tp コント
ローラのポーリング周期

【書類名】 図面

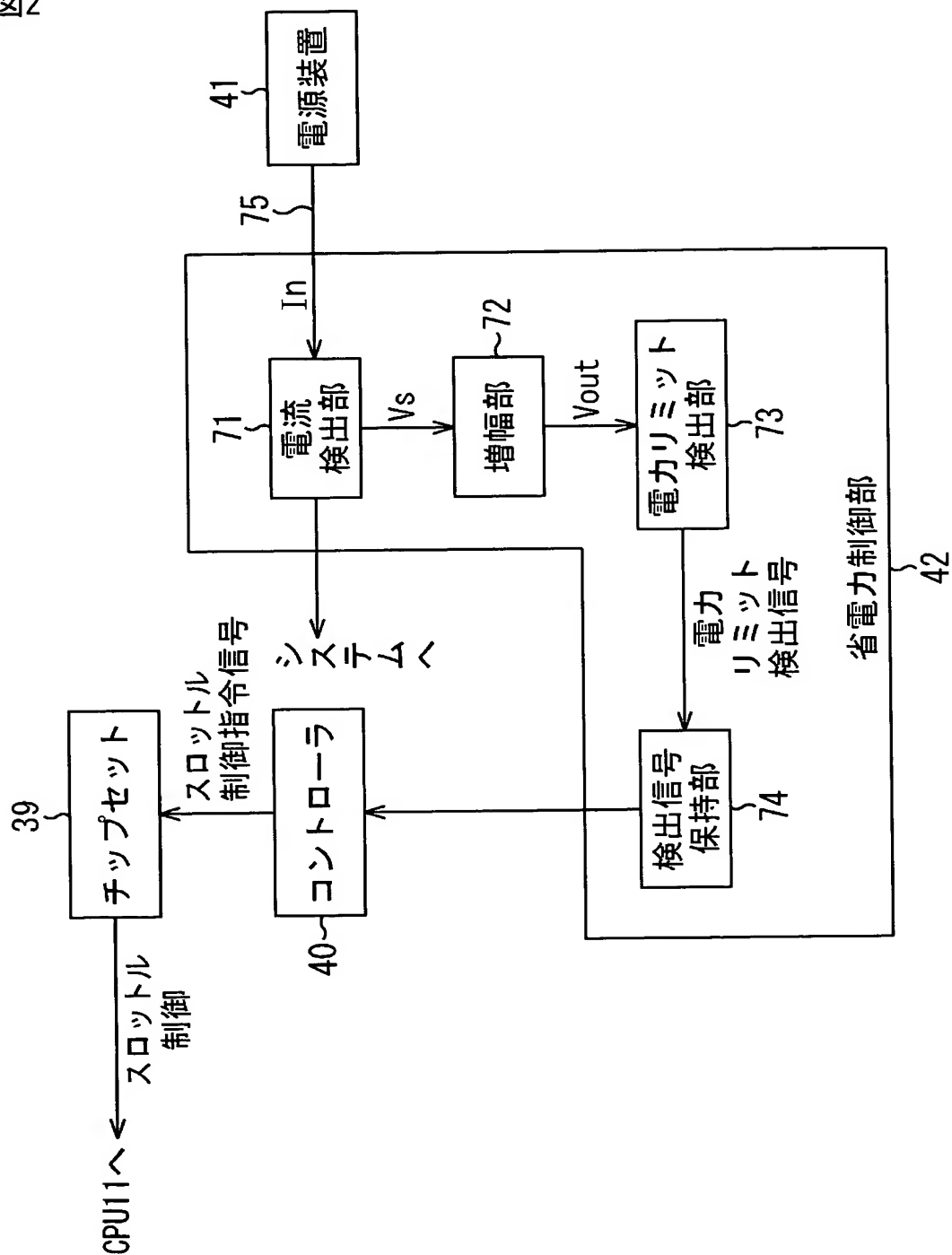
【図1】

図1



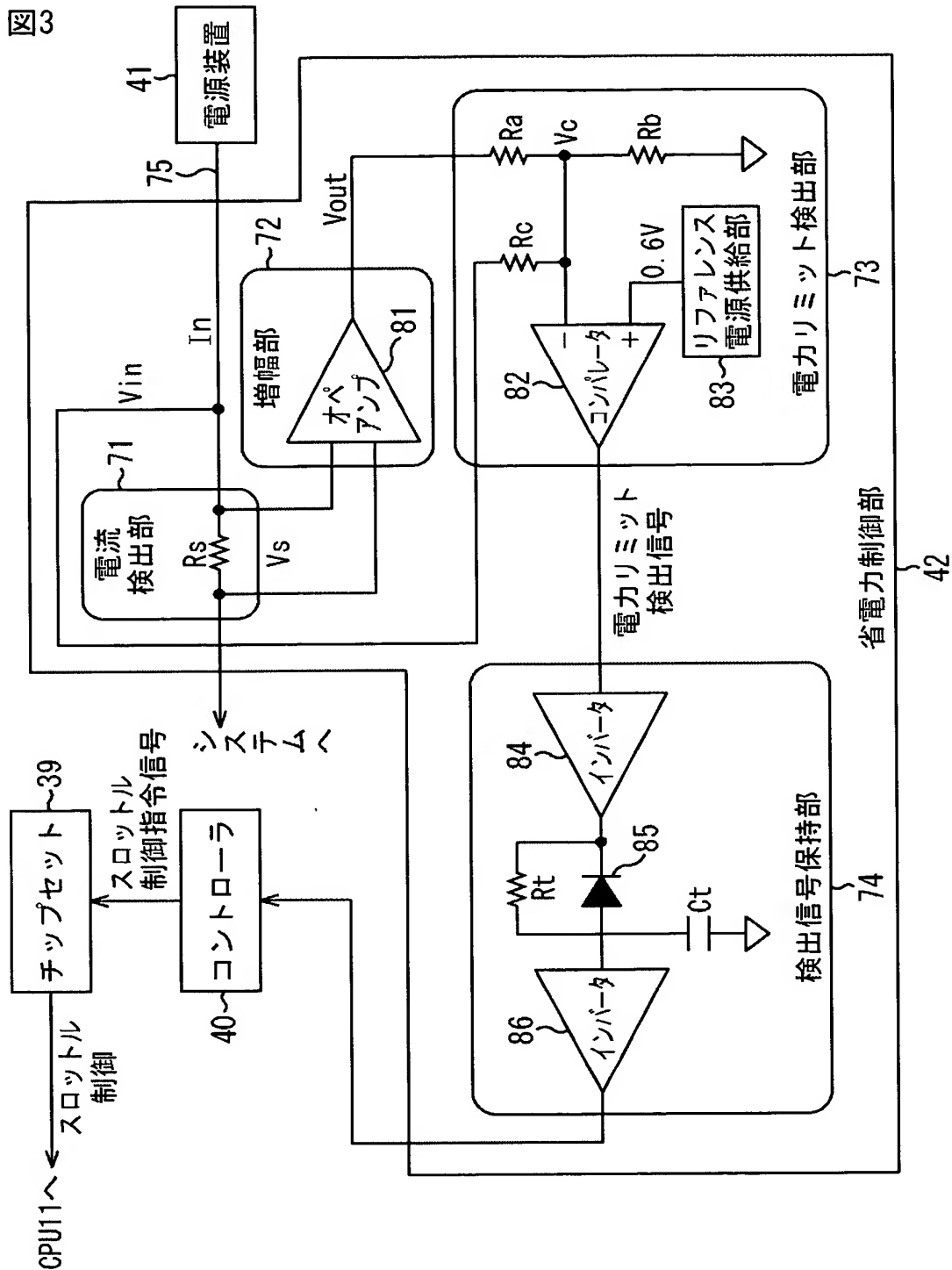
【図 2】

図2



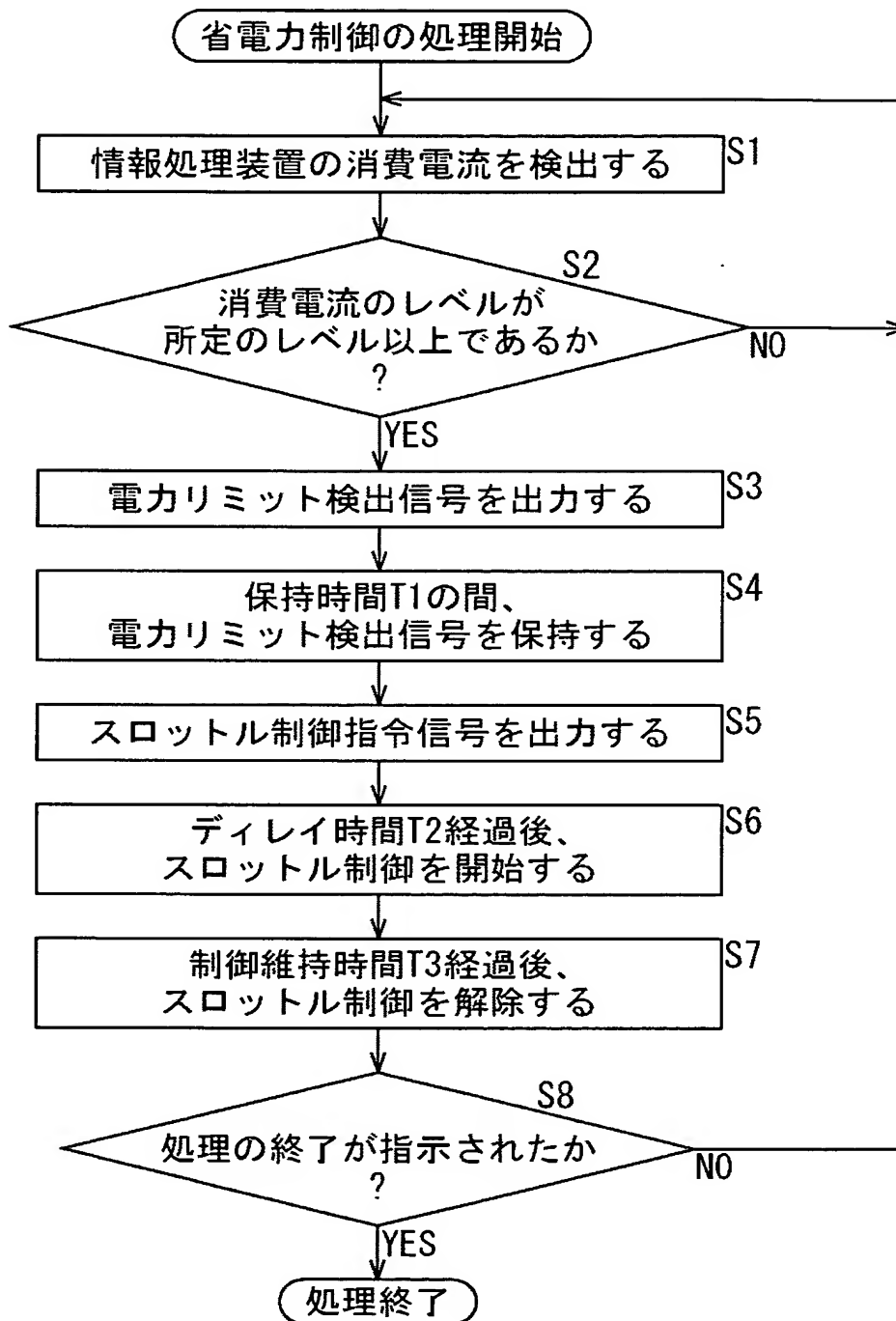
【図3】

図3



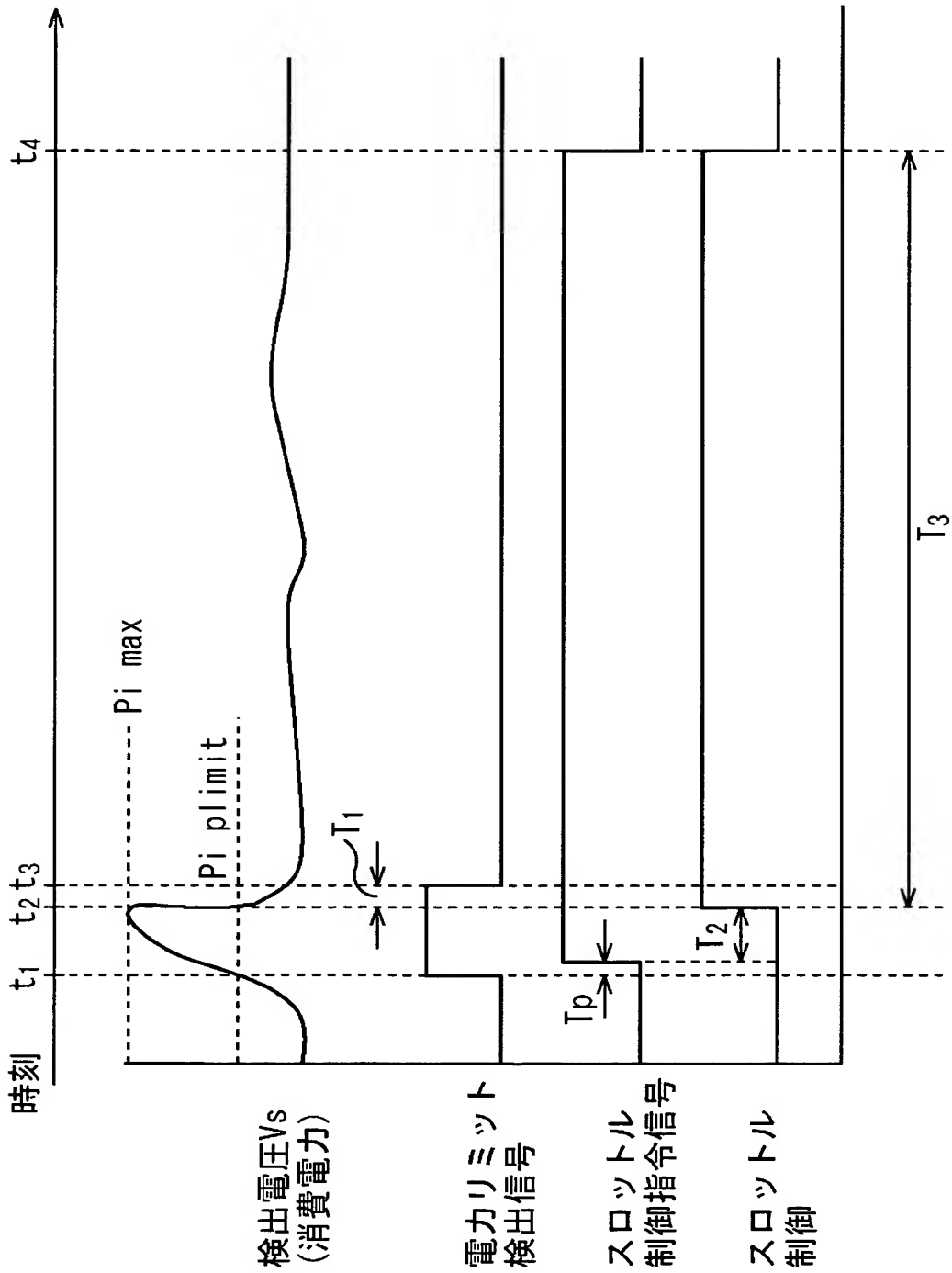
【図 4】

図4



【図 5】

図5



【書類名】 要約書

【要約】

【課題】 電源装置の大型化を抑制し、かつ、継承と標準化が容易な省電力制御を行うことができるようにする。

【解決手段】 電送路 75 を流れる電流 I_n が、電流検出部 71 により電圧 V_s として検出され、増幅部 72 により電圧 V_{out} として出力される。電力リミット検出部 73 は、電圧 V_{out} に対応するレベルが制限レベルを超えた場合、電力リミット検出信号を出力する。コントローラ 40 は、電力リミット検出信号を検出信号保持部 74 を介して受信すると、スロットル制御指令信号を出力する。チップセット 39 は、スロットル制御指令信号を受信すると、CPU 11 のクロックの周波数を低下させるスロットル制御を開始する。本発明は、ノート型のパーソナルコンピュータに適用可能である。

【選択図】 図 2

特願 2002-296967

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都品川区北品川6丁目7番35号

氏名

ソニー株式会社